

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11042554 A**

(43) Date of publication of application: **16.02.99**

(51) Int. Cl.

B24B 37/04

G01B 7/00

H01L 21/304

(21) Application number: **08215658**

(71) Applicant: **NEC CORP**

(22) Date of filing: **25.07.97**

(72) Inventor: **SATO UICHI**

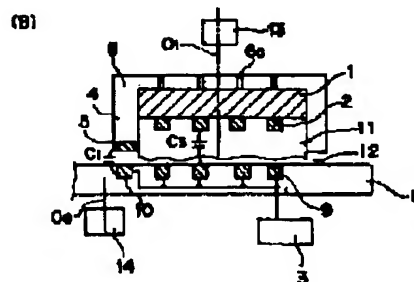
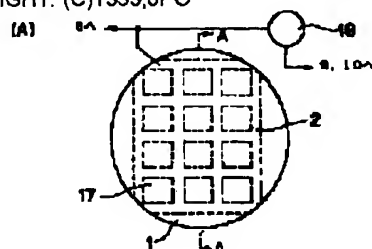
(54) **POLISHING AMOUNT CONTROL DEVICE**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a polishing amount control device whereby a local residual film thickness of a wafer can be measured, so as to prevent a bad influence from being given to a characteristic of a semiconductor chip by measuring applied voltage.

SOLUTION: Opposed to an electrode 2 in a dicing area formed in a wafer 1, a measuring electrode 9 is divisionally arranged in a polishing pad 8. In a wafer hold means 6 in a side of the wafer 1, a correction electrode 5 is provided, on the other hand, a correcting measuring electrode 10 is left as provided in a position opposed to the correction electrode 5 of the polishing pad 8. In this condition, polishing is performed, and a static capacity between the electrode 2 and the measuring electrode 9 is obtained. In accordance with a of this measured capacity value, pressure of air is applied from a local pressure hole 6a, an inter-layer insulating film 11 of the wafer is pressed to a side of the pad 8, and polishing is performed in this pressed condition.





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-42554

(43) 公開日 平成11年(1999) 2月16日

(51) Int.Cl.*

識別記号

F I

B 2 4 B 37/04

B 2 4 B 37/04

D

G 0 1 B 7/00

G 0 1 B 7/00

K

W

H 0 1 L 21/304

3 2 1

H 0 1 L 21/304

3 2 1 E

審査請求 有 請求項の数 7 F D (全 5 頁)

(21) 出願番号

特願平9-215658

(22) 出願日

平成9年(1997) 7月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 佐藤 右一

東京都港区芝五丁目7番1号 日本電気株式会社内

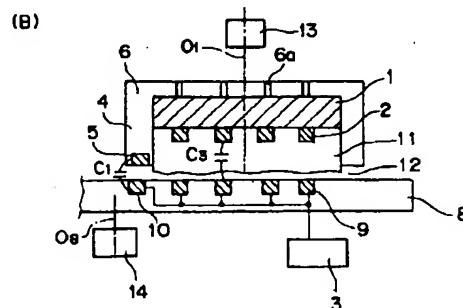
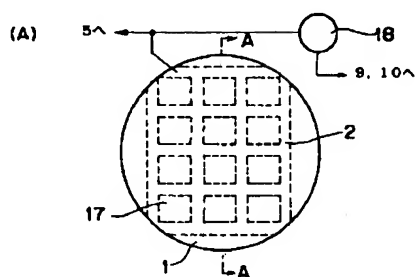
(74) 代理人 弁理士 小橋川 洋二

(54) 【発明の名称】 研磨量制御装置

(57) 【要約】

【課題】 ウェハの局所的な残膜厚が測定可能であり、測定用印加電圧により半導体チップの特性に悪影響を与えないようにした研磨量制御装置を提供する。

【解決手段】 ウェハ1に形成されたダイシングエリアの電極2に対向して、研磨パッド8に測定電極9を分割配置する。また、ウェハ1側のウェハ保持手段6に校正電極5を設け、一方研磨パッド8の前記校正電極5に対向した位置に校正用測定電極10を設けておく。この状態で研磨を行い、電極2と測定電極9との間の静電容量を求める。そして、この測定容量値の大小に応じて局所加圧孔6aから空気加圧してウェハの層間絶縁膜を研磨パッド側に押しつけ、この押しつけた状態で研磨を行う。



【特許請求の範囲】

【請求項1】 研磨面に沿って第1電極が設けられた被研磨物と、

該被研磨物に対向配置され、前記第1電極に対向する位置に第2電極が設けられた研磨パッドと、

前記第1電極と第2電極との間に電圧を印加する電圧印加手段と、

前記第1電極と第2電極との間の容量を測定する容量測定手段とを備えたことを特徴とする研磨量制御装置。

【請求項2】 前記被研磨物と研磨パッドとの間に研磨剤を供給するようにしたことを特徴とする請求項1記載の研磨量制御装置。

【請求項3】 前記被研磨物を保持する保持手段の、前記研磨パッドとの対向面に設けられた基準電極と、前記研磨パッドの、前記基準電極に対向する位置に設けられた測定用基準電極とを備えたことを特徴とする請求項1または請求項2のいずれかに記載の研磨量制御装置。

【請求項4】 前記被研磨物における所望の箇所を、前記研磨パッドに向けて押圧する押圧手段を備えたことを特徴とする請求項1乃至請求項3のいずれかに記載の研磨量制御装置。

【請求項5】 前記押圧手段は前記保持手段に設けられた空気圧供給手段であることを特徴とする請求項4記載の研磨量制御装置。

【請求項6】 前記被研磨物は半導体ウェハであり、前記第1電極は該半導体ウェハに形成されたチップエリア以外のダイシングエリア部分に形成されたことを特徴とする請求項1乃至請求項5のいずれかに記載の研磨量制御装置。

【請求項7】 前記ダイシングエリアに形成された第1電極と、前記研磨パッドに形成された複数の第2電極との間の個々の箇所の容量を前記容量測定手段で測定し、前記個々の箇所の測定結果に応じて前記押圧手段により該個々の箇所を押圧するようにしたことを特徴とする請求項1乃至請求項6のいずれかに記載の研磨量制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、研磨量制御装置に係り、特に半導体ウェハの表面の研磨量を制御する研磨量制御装置に関する。

【0002】

【従来の技術】半導体ウェハの製造過程においては、該半導体ウェハの表面を研磨し平坦化する場合がある。この平坦化の度合の確認は、ウェハ表面の残膜厚を測定することにより行っている。図5は従来の残膜厚を測定する手段の一例のブロック図である（例えば、特開平4-357851号公報）。

【0003】図5に示すように、従来の残膜測定手段

は、ウェハ101と、該ウェハ101の下面に形成された誘電体層102と、回転しながらウェハ101を研磨する研磨プレート103と、ウェハを研磨する際の研磨剤であるスラリー104と、測定用の入力電圧の位相を180°ずらす増幅器105と、測定した変位電流から膜厚を算出する計測部106等を備えている。前記研磨プレート103には相互に絶縁された2つの電極103a、103bが形成されている。

【0004】この状態で、一方の電極（測定電極）103aに印加される測定電圧は、他方の電極（保護電極）103bに印加される測定電圧に対して180°位相をずらして印加される。そして、測定電極103aとブートストラップ方式で保護電極103bに駆動電流を供給し、計測部106は、駆動電圧の振幅が誘電体層の厚さに比例するように、変位電流を一定に保つ。そして、計測部106から出力される電圧を測定することにより残膜厚を測定を行っている。

【0005】

【発明が解決しようとする課題】しかしながら、従来の測定手段には次の問題点があった。即ち、従来の測定手段ではウェハ全体の厚さの平均値を検出することになってしまう。従って、ウェハを大口径化したときには部分的（局所的）に残膜量が異なるが、この部分的な残膜量を測定することができない。また、ウェハにはチップエリアとダイシングエリアとが形成されるが、チップエリアにも残膜厚測定用の電圧を印加し、該電圧による電界が発生するので、半導体チップの特性に悪影響を与えてしまう。

【0006】そこで、本発明の目的は、ウェハの局所的な残膜厚が測定可能であり、測定用印加電圧により半導体チップの特性に悪影響を与えないようにした研磨量制御装置を提供することである。

【0007】

【課題を解決するための手段】前記課題を解決するために請求項1記載の発明は、研磨面に沿って第1電極が設けられた被研磨物と、該被研磨物に対向配置され、前記第1電極に対向する位置に第2電極が設けられた研磨パッドと、前記第1電極と第2電極との間に電圧を印加する電圧印加手段と、前記第1電極と第2電極との間の容量を測定する容量測定手段とを備えたことを特徴とする。また、請求項4記載の発明は、前記被研磨物における所望の箇所を、前記研磨パッドに向けて押圧する押圧手段を備えたことを特徴とする。また、請求項6記載の発明は、前記被研磨物は半導体ウェハであり、前記第1電極は該半導体ウェハに形成されたチップエリア以外のダイシングエリア部分に形成されたことを特徴とする。

【0008】このようにした状態で、例えば研磨パッドの第2電極を分割して第1電極に対向させ、該第2電極に対応した個々の箇所の容量を測定する。この場合の電圧印加をする箇所はダイシングエリアである。そして、

この測定した容量値の大小に応じて押圧手段により被研磨物を研磨パッド側に押しつけ、この押しつけた状態で研磨を行う。このようにすれば、ダイシングエリアに電圧印加するので、半導体チップの特性に悪影響を及ぼすことがなく、また、大口径の半導体ウェハの厚みを部分的に制御することが可能となる。

【0009】

【発明の実施の形態】以下、本発明を図示の実施形態例に基づいて説明する。図1、図2は本実施形態例を示す図であって、図1(A)はウェハの平面図、図1(B)はA-A線に沿う断面図、図2は研磨パッドとウェハの位置関係を示す平面図である。

【0010】図1、図2に示すように、円形のウェハ1の下面側には層間絶縁膜11が一体に形成され、該層間絶縁膜11の下面が研磨をする対象部である〔図1

(A)、(B)〕。ウェハ1にはマトリクス状に形成したダイシングエリアにより複数のLSIチップエリア17が形成され、該ダイシングエリアには電極2が形成されている。該電極2には測定用の駆動電源18の一方の極が接続されている。ウェハ1はウェハ保持部材6により該ウェハの周囲を囲むように保持され、該保持部材6には図示しない空気圧発生装置から供給される空気圧を印加する局所加圧孔6aが、マトリクス状に配置された電極2の列方向に対応して穿設されている。ウェハ保持部材6はウェハ1を保持したまま、図示しない回転手段によりウェハ1の中心軸O1(図1(B)、図2参照)の回りに回転駆動される。ウェハ1の回転角度は、中心軸O1に直結したウェハ回転角度検出器13により検出される。

【0011】また、ウェハ1の下方には研磨パッド8が配置され、該パッド8は図示しない回転手段により中心軸O8の回りに回転駆動される。即ち、ウェハ1と研磨パッド8とは、回転中心の異なった偏芯状態で回転する(図2参照)。研磨パッド8の回転角度は、中心軸O1に直結した研磨パッド回転角度検出器14により検出される。ウェハの層間絶縁膜11と研磨パッド8との間には、非導電性のスラリー(研磨剤)12が供給されるようになっている。

【0012】ウェハ保持部材6はウェハ1を脱落しないように強固に保持するリテーナ4を備えており、該リテーナ4の内部であって、研磨パッド8との対向面には、校正電極5が埋め込まれている。該校正電極5は前記駆動電源18の一方の極に接続されている。また、研磨パッド8の上面側の内部には校正用測定電極10と測定電極9とが埋め込まれている。測定電極9と校正用測定電極10とは前記駆動電源18の他方の極に接続されている。

【0013】そして、図2に示すように、校正用測定電極10は1個であり、測定用電極9はウェハ1のダイシングエリアに形成された電極2に対向して、複数設けら

れている。ウェハ1のリテーナ4に設けられた校正電極5も1個である。

【0014】次に本実施形態例の動作を、図3、図4を参照しつつ説明する。

(1) 残膜厚の測定

層間絶縁膜11と研磨パッド8とが当接した状態で、図示しない回転手段によりウェハ1と研磨パッド11とが同一方向に回転駆動され、研磨が行われる。そして、研磨中において、層間絶縁膜11の残膜厚を測定する場合には、ウェハ1に設けた校正電極5と研磨パッド8に設けた校正用測定電極10との相対回転位置が一致したことを、ウェハ回転角度検出器13と研磨パッド回転角度検出器14とにより確認する。

【0015】この相対回転位置の一致状態で、校正電極5と校正用測定電極10との間に介在されたスラリー12による静電容量C1(図3参照)を静電容量測定器3により測定する。同時に、ウェハの電極2と測定電極9とスラリー12による静電容量C3を静電容量測定器3により測定する。前記静電容量C1は基準となる静電容量であり、ウェハ1が研磨されても不変であり、前記静電容量C3は研磨により変動する。

【0016】そして、前記静電容量C3から静電容量C1を差し引いた静電容量C2が層間絶縁膜11の厚さ(残膜厚)に起因する容量となる。この静電容量C2に基づいて残膜厚を求める。なお、静電容量値C2と残膜厚との関係は、層間絶縁膜の材質、スラリーの材質等に応じて予めテーブルとして用意しておけばよい。以上のような残膜厚の測定を研磨パッド8内の全ての測定電極9に対して行えば、ウェハ表面の部分的(局所的)な凹凸を検出することが可能となる。

【0017】(2) 局所加圧により研磨

図4(A)に示したように、層間絶縁膜11の下面に凹凸が形成されているとする。該絶縁膜11の残膜厚は左から順に「a, b, c, d」とであるとし、 $c = d > a > b$ の関係があるとする。この場合は、a~dに対応する部分の局所加圧孔6a1~6a4から、図(A)に示す矢印p1~p4の長さに対応した大きさの空気加圧を行い、 $p3 = p4 > p1 > p2$ の加圧状態で研磨パッド8により研磨を行う。このようにすれば、残膜厚に応じて研磨量を加減することができるので、層間絶縁膜11全体を通じて平坦化することが可能となる。

【0018】なお、本実施形態例では被研磨物として半導体ウェハの場合を説明したが、その他の平坦さを要求される物にも本発明を適用できるのは勿論である。

【0019】

【発明の効果】以上説明したように本発明によれば、被研磨物(半導体ウェハ)を分割した状態で個々の箇所に応じた研磨量を制御できるので、大口径の半導体ウェハであっても表面全体を平坦化することができる。また、半導体ウェハのダイシングエリアに測定用電圧を印加し

ているので、半導体チップの特性に悪影響を及ぼすことがない。

【図面の簡単な説明】

【図1】本発明の実施形態例を示す図であって、(A)はウェハの平面図、(B)はA-A線に沿う断面図である。

【図2】同実施形態例の研磨パッドの電極配置を示す平面図である。

【図3】同実施形態例で研磨した場合の電極間の静電容量を示す図である。

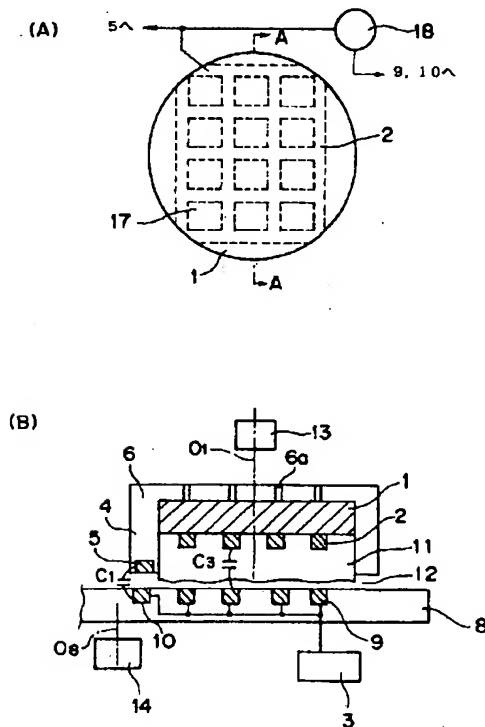
【図4】同実施形態例で研磨した場合における局所加圧を示す図であって、(A)は断面図、(B)は平面図である。

【図5】従来の研磨量制御装置の概略構成図である。 *

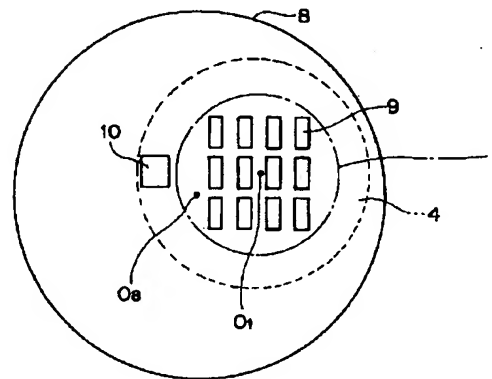
*【符号の説明】

- 1 ウェハ(被研磨物)
- 2 電極(第1電極)
- 3 静電容量測定器(容量測定手段)
- 4 リテーナ
- 5 校正電極(基準電極)
- 6 ウェハ保持部材
- 6a 局所加圧孔(押圧手段、空気圧供給手段)
- 8 研磨パッド
- 9 測定電極(第2電極)
- 10 校正用測定電極(測定用基準電極)
- 11 層間絶縁膜(被研磨物)
- 12 スラリ(研磨剤)
- 17 チップエリア

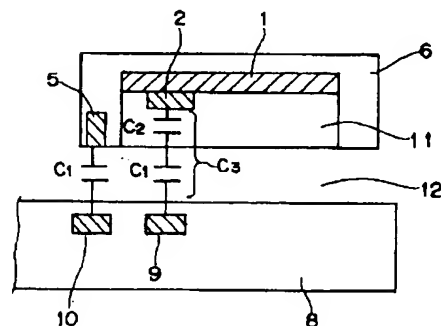
【図1】



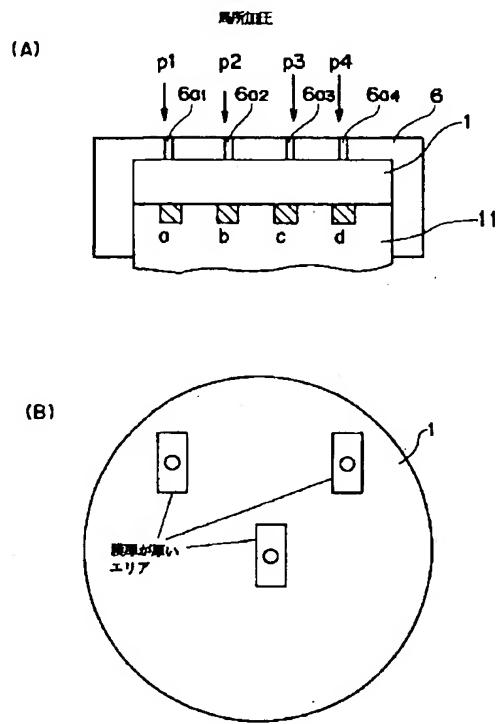
【図2】



【図3】



【図 4】



【図 5】

